

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 08-031837

(43) Date of publication of application : 02.02.1996

(51) Int.CI.

H01L 21/322

H01L 21/205

(21) Application number : 06-184044

(71) Applicant : MITSUBISHI MATERIALS
SHILICON CORP
MITSUBISHI MATERIALS CORP

(22) Date of filing : 12.07.1994

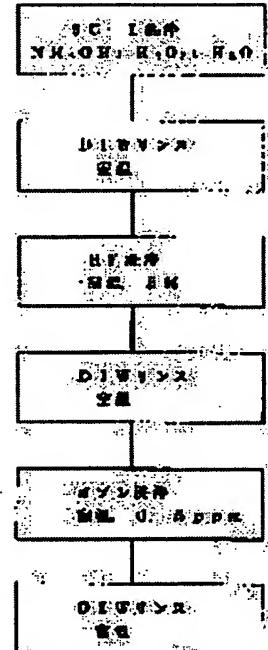
(72) Inventor : YAMAMOTO MINORU
FUJIWARA TSUTOMU
TAKAISHI KAZUNARI
ENDO MITSUHIRO

(54) DEPOSITION METHOD OF POLYSILICON FOR EG

(57) Abstract:

PURPOSE: To obtain a method for depositing polysilicon for EG in which contamination due to organic compound and generation of protrusions are suppressed and the level of metal impurities is lowered without lowering gettering capacity with small grain boundary.

CONSTITUTION: A silicon wafer is cleaned with SC-1 and then cleaned with hydrofluoric acid. It is then immersed into ozone solution having concentration of 0.5ppm or above thus depositing several Å oxide. Subsequently, polysilicon is deposited on the rear side of the wafer by low pressure CVD.



LEGAL STATUS

[Date of request for examination] 27.08.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3076202

[Date of registration] 09.06.2000

[Number of appeal against examiner's decision]

AM

[of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-31837

(43) 公開日 平成8年(1996)2月2日

(51) Int.Cl.
H 01 L 21/322
21/205

識別記号 P
序内整理番号

F 1

技術表示箇所

審査請求 未請求 請求項の数4 FD (全6頁)

(21) 出願番号

特願平8-184044

(22) 出願日

平成8年(1996)7月12日

(71) 出願人

三菱マテリアルシリコン株式会社
東京都千代田区大手町一丁目5番1号

(71) 出願人

三菱マテリアル株式会社
東京都千代田区大手町1丁目5番1号

(72) 発明者

山本 稔
東京都千代田区岩本町3丁目8番16号 三菱マテリアルシリコン株式会社内

(72) 発明者

藤原 効
東京都千代田区岩本町3丁目8番16号 三菱マテリアルシリコン株式会社内

(74) 代理人

弁理士 安倍 逸郎

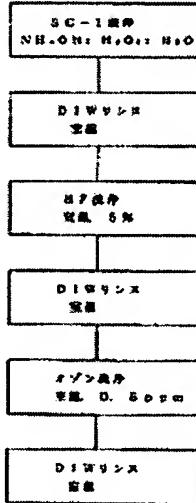
最終頁に続く

(54) 【発明の名称】 E G用ポリシリコン膜の被着方法

(57) 【要約】

【目的】 有機物等の汚染による汚れ、突起等の発生を抑え、金属不純物レベルを低減し、かつ、小さな粒界でゲッタリング能力が低下することもない、EG用ポリシリコン膜を形成可能なポリシリコン膜の被着方法を提供する。

【構成】 シリコンウェーハをSC-1洗浄した後、これをフッ酸洗浄する。この後、ウェーハを温度0、50°C以上とのオゾン溶液に没浸し、致オングストロームの薄い酸化膜を形成する。さらに、酸化膜を形成したこのウェーハの裏面に湿潤CVD法によりポリシリコン膜を被着する。



(ポリシリコン膜被着方法)

【特許請求の範囲】

【請求項 1】 シリコンウェーハに表面酸化還元処理を施した後、フッ酸処理を施し、この後酸化処理を施し、さらに、このシリコンウェーハの表面にポリシリコン膜を被覆するEG用ポリシリコン膜の被覆方法。

【請求項 2】 オゾン溶液またはオゾンガスを使用して上記酸化処理を施す請求項 1に記載のEG用ポリシリコン膜の被覆方法。

【請求項 3】 上記オゾン濃度は0.5 ppm以上で処理する請求項 2に記載のEG用ポリシリコン膜の被覆方法。

【請求項 4】 上記ポリシリコン膜の被覆はCVD法による請求項 1～3のいずれかに記載のEG用ポリシリコン膜の被覆方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、EG (Extrinsic Gettering) 用のポリシリコン膜の被覆方法、詳しくはポリバックシール法におけるEG層に対してシリコンウェーハ表面に被覆されるポリシリコン膜堆積の前処理方法に関する。

【0002】

【従来の技術】 デバイス製造工程中に、金属不純物等の汚染が生じると、デバイス特性の劣化や歩留まりの低下を引き起こす。工程中で不純物をシリコンウェーハ表面の活性領域から取り除くためのゲッタリング技術の一つとして、EG法が知られている。このEG法にあっても、バックサイドダメージ法、リングゲッタ法とともに、ポリバックシール法が知られている。ポリバックシール法は、エッチング処理後のシリコンウェーハの表面にポリシリコン膜を被覆、形成し、このポリシリコン膜により汚染不純物、点欠陥等を捕獲する方法である。

【0003】 これまでのシリコンウェーハ表面へのポリシリコン膜の被覆は、以下のように行われていた。まず、過酸エッチングによりウェーハの加工ダメージを完全に除去する。その後、SC-2 (Standard Cleaning-2) 洗浄や、界面活性剤を含んだ弱アルカリ性のエッチング液による洗浄を施す。さらにこの後、シリコンウェーハの表面にCVDによりポリシリコン膜を堆積していた。

【0004】

【発明が解決しようとする課題】 しかしながら、このような従来技術にあっては、ポリシリコン膜堆積前のシリコンウェーハは、その表面に界面活性剤や環境からの有機物が付着していた。この結果、ポリシリコン膜の堆積中に、その堆積膜にごみ等の異物が含まれて汚れ、突起等の不良を引き起こしていた。

【0005】 また、ポリシリコン膜とウェーハ表面との界面の金属不純物レベルを改善するため、ポリシリコン膜の堆積前にウェーハ表面に塩酸処理またはフッ酸処理

を施すことも考えられる。しかし、この処理後、堆積したポリシリコン膜は、粒界の大きな多結晶となってしまい、ゲッタリング能力自体が低下するという課題が生じていた。

【0006】 そこで、本発明者は、上記課題を解決すべく検討を重ねた結果、上記ポリシリコン膜堆積前の酸化還元処理 (SC-1洗浄または無機アルカリ/H₂O₂洗浄) の後、ウェーハにフッ酸処理を施し、さらに、このウェーハ表面に清浄な酸化膜を形成するようにした。この結果、金属不純物レベルが低く、かつ、粒界の小さなポリシリコン膜を収率良く形成することができるなどを知見した。また、この清浄な酸化膜の形成には、オゾン溶液またはオゾンガスを使用することが、有効である。さらに、オゾン溶液の液中濃度を0.5 ppm以上とすると、数オングストロームの厚さの清浄な酸化膜を形成することができることを知見した(図3参照)。清浄な酸化膜を形成することができる理由は、上記前処理洗浄においてウェーハ表面に付着した残留有機成分や、環境から付着した比較的小分子量の小さな有機物が、オゾンの有機物分解特性により、分解除去されるからであると、推定される。

【0007】 よって、ポリシリコン膜堆積前のウェーハ表面は、有機物、金属不純物のきわめて少ない清浄面を保持することができ、同時に数オングストローム程度の酸化膜を形成した結果、上記ウェーハ表面の清浄さを保持したままポリシリコン膜を被覆することができる。

【0008】 そこで、本発明は、有機物等の汚染による汚れ、突起等がなく、金属不純物レベルが向上し、かつ、粒界が小さくてゲッタリング能力が低下することもない、EG用ポリシリコン膜を形成することができるポリシリコン膜の被覆方法を提供することを、その目的としている。

【0009】

【課題を解決するための手段】 請求項 1に記載した発明は、シリコンウェーハに表面酸化還元処理を施した後、フッ酸処理を施し、この後酸化処理を施し、さらにこのシリコンウェーハの表面にポリシリコン膜を被覆するEG用ポリシリコン膜の被覆方法である。ここで、表面酸化還元処理とは、酸化剤と還元剤との両方を持ち合わせた混合溶液による処理をいう。例えばSC-1洗浄、フッ酸/硝酸洗浄等を意味している。また、上記酸化処理とは、酸化膜を形成することを意味する。シリコンウェーハ表面が親水化することが必要であり、例えば3オングストローム程度の厚さの酸化膜を形成するものとする。

【0010】 請求項 2に記載した発明は、オゾン溶液またはオゾンガスを使用して酸化処理を施す請求項 1に記載のEG用ポリシリコン膜の被覆方法である。

【0011】 請求項 3に記載の発明は、オゾン水溶液濃度は0.5 ppm以上で処理する請求項 2に記載のEG

用ポリシリコン膜の接着方法である。

【0012】請求項4に記載した発明は、上記ポリシリコン膜の接着はCVD法による請求項1~3のいずれかに記載のEG用ポリシリコン膜の接着方法である。ポリシリコン膜の接着方法の具体例としては、減圧CVD法による、酸化膜厚とオゾン濃度との関係から酸化作用が安定するためである。

【0013】

【作用】請求項1に記載した発明では、シリコンウェーハの表面を例えばSC-1液で洗浄した後、表面をフッ酸処理し、さらに、この表面に酸化膜を形成する。SC-1洗浄により表面に付着した有機物、カーボン等を除去する。そして、フッ酸洗浄により表面を清浄化する。すなわち、フッ酸は、酸化還元処理により生成されたシリコン酸化物と反応し、この酸化物とともに不純物を除去する。また、酸化膜の形成により、清浄化した表面をその状態に保持する。そして、この酸化膜上にポリシリコン膜を接着する。ウェーハ表面とポリシリコン膜との界面を清浄に保持しているため、ポリシリコン膜が汚染されない。

【0014】請求項2に記載した発明は、オゾン溶液またはオゾンガスを使用して酸化膜を形成する。このため、清浄な酸化膜を形成することができる。過酸化水素中ににおける酸化処理、または、気層中の酸化処理に比較して、オゾン処理は、適切な酸化力により、最も不純物の少ない清浄な酸化を行なうことができる。オゾン溶液は溶媒である超純水にオゾンを溶かしこんでいるからである。

【0015】請求項3に記載した発明では、オゾン溶液またはオゾンガスの速度は0.5ppm以上としている。このため、清浄さの維持に好適な厚さの酸化膜(3オングストローム程度の酸化膜)を容易に形成することができる。

【0016】請求項4に記載した発明によれば、ポリシリコン膜の接着は減圧CVDによる、CVDにより、清浄な環境を維持しつつ、ポリシリコン膜を接着する。

【0017】

【実施例】以下、図面を参照して本発明方法の実施例に

ついて説明する。図1に示すように、CZ、P型、(100)、5インチウェーハについて、前洗浄としてSC-1洗浄を行う。SC-1洗浄は、85℃のNH₄OH/H₂O₂/H₂O=1:1:5の混合浴液中に10分間浸漬して行う。次いで、室温での超純水(DIW) rinsing後、室温で体積濃度5%のフッ酸(HF)洗浄を施す。さらに、室温での超純水rinse後、室温でのオゾン浴液(0.5ppm)による洗浄、超純水rinseを施し、表面に清浄な酸化膜を形成する。なお、オゾン浴液は、通常の超純水にオゾンガスを溶かしたもので、室温で保持している。そして、この後、減圧CVD法によりポリシリコン膜を接着する。減圧CVD法の条件は、例えば東京ハイテック(株)の鏡型LPCVDシステムを使用し、堆積ガスはモノシラン、堆積温度は640~660℃、成長レートは1.5nm/minとする。

【0018】図2は、オゾン浴液の速度と酸化膜の厚さとの関係を示すグラフである。HF処理品では酸化膜がほとんど除去されるに対し、上記したようにオゾン速度を0.5ppm以上に高めた処理(室温、4分間浴液)では、その酸化膜の膜厚は5オングストローム以上となる。膜厚はE S C A、エリプソメータで測定した。このエリプソメータでの測定値は酸化膜(SiO₂)表面の有機物を含んでいる。このグラフからオゾン浴液の速度が0.5ppm以上では清浄な酸化膜が形成されることがわかる。

【0019】表1は従来方法と本発明方法との比較を示す。これはポリシリコン膜中の不純物濃度を示すものである。表面分析は、フレームレス原子吸光法によった。表1に示すように、不純物レベルは1桁改善された。従来方法は、SC-1洗浄、純水rinse、SC-2洗浄、純水rinse後にポリシリコン膜を接着したものである。これに対して本発明方法ではSC-1洗浄、HF洗浄、オゾン浴液ティップ、CVDによるポリシリコン膜を接着している。

【0020】

【表1】
ポリシリコン膜中不純物濃度の比較

不純物	従来方法(atom/cm ²)	本発明方法(atom/cm ²)
K	0.10×10 ⁻¹⁰	0.02×10 ⁻¹⁰
Al	3.4×10 ⁻¹⁰	0.1×10 ⁻¹⁰
Ca	0.3×10 ⁻¹⁰	0.6×10 ⁻¹⁰
Na	0.11×10 ⁻¹⁰	0.11×10 ⁻¹⁰

【0021】

【発明の効果】本発明によれば、汚れ、突起等のないポ

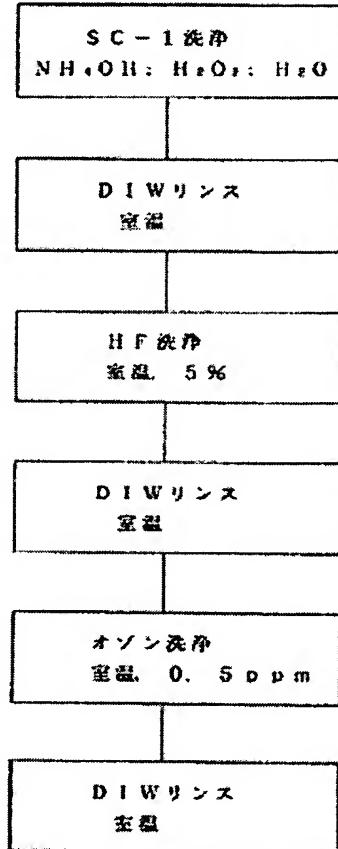
リシリコン膜を形成することができる。また、このポリシリコン膜を接着する際の生産性が向上する。このポリシリコン膜はその不純物グレードが向上している。よって、ゲッタリング能力を高めたポリシリコン膜を形成することができる。

【図面の簡単な説明】

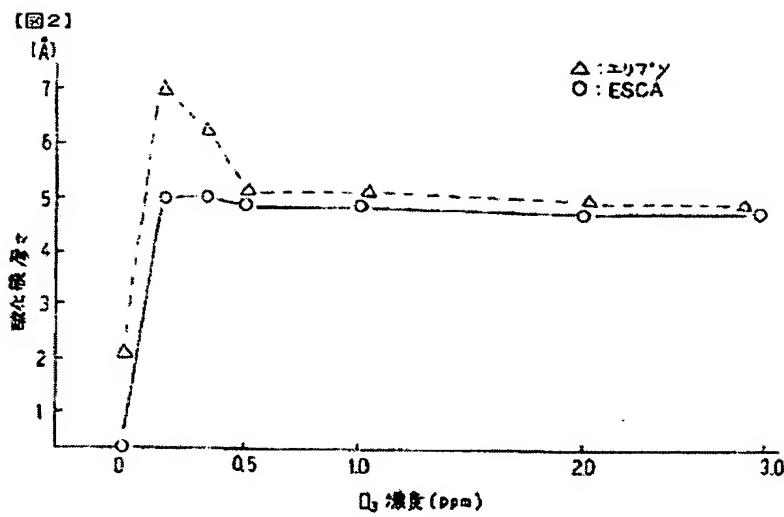
【図1】本発明の一実施例に係るEG用ポリシリコン膜の接着方法を示す工程図である。

【図2】本発明の一実施例に係るオゾン濃度と酸化膜厚さとの関係を示すグラフである。

【図1】



(ポリシリコン膜堆積前洗浄処理方法)



フロントページの続き

(72)発明者 高石 和成
東京都千代田区岩本町3丁目8番16号 三
美マテリアルシリコン株式会社内

(72)発明者 遠藤 光弘
東京都千代田区岩本町3丁目8番16号 三
美マテリアルシリコン株式会社内

출력 일자: 2004/12/23

발송번호 : 9-5-2004-054455081
발송일자 : 2004.12.22
제출기일 : 2005.02.22

수신 : 서울 서초구 서초3동 1571-18 청화빌딩 2
층(리&목특허법률사무소)
이영필 귀하

137-874

특허청 의견제출통지서

2004.12.23

출원인 명칭 상성전자주식회사 (출원인코드: 119981042713)
주소 경기도 수원시 영통구 매탄동 416

대리인 성명 이영필
주소 서울 서초구 서초3동 1571-18 청화빌딩 2층(리&목특허법률사무소)

출원번호 10-2003-0014779

발명의 명칭 LDD 구조를 가지는 반도체 소자 제조 방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장 승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제 전항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

본원 발명은 소스/드레인 영역을 형성하기 위하여 게이트 전극의 상면 및 측벽과 반도체 기판의 상면을 각각 균일한 두께로 덮는 희생 마스킹층을 마스크로 하여 상기 반도체 기판에 고농도의 불순물을 이온을 주입하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법에 관한 발명이나, 일본공개특허공보 평7-66393호(1995.3.10)에 반도체 기판의 표면에 게이트 전극을 형성하고 마스크로 사용하여 이온주입에 의해 저농도 소스/드레인 영역을 형성하는 공정 및 전면에 실리콘 산화막을 형성하고, 게이트 전극과 그 측면의 실리콘 산화막을 마스크로 사용하여, 실리콘 산화막을 통과하는 이온 주입으로 고농도 소스/드레인 영역을 형성하는 것을 특징으로 하는 반도체 소자 제조 방법이 기재되어 있고, 공개특허 제1999-22665호(1999.3.25)에 제1 및 제2 게이트 전극을 마스크로 하여 상기 반도체 기판에 제1 도전형의 불순물 이온을 주입하고, 제1 및 제2 게이트 전극의 측면 바깥쪽의 상기 반도체 기판 표면내에 자기 정합적으로 비교적 저농도인 제1 도전형의 제1 반도체 영역을 각각 형성하는 공정과 제1 및 제2 게이트 전극 및 반도체 기판의 표면을 덮도록 산화막을 형성하는 공정과 제1 및 제2 게이트 전극과, 이 제1 및 제2 게이트 전극의 측면에 형성된 산화막을 마스크로 하여, 산화막의 상부로부터 제1 도전형의 불순물을 이온을 주입하고, 제1 반도체 영역을 포함하는 반도체 기판의 표면내에 자기 정합적으로 비교적 고농도인 제1 도전형의 제2 반도체 영역을 형성하는 공정을 구비하는 반도체 장치의 제조 방법이 기재되어 있어, 본원 발명은 일본공개특허 공보 평7-66393호(1995.3.10) 및 공개특허 제1999-22665호(1999.3.25)의 공지기술에 의하여 용이하게 발명할 수 있습니다.

[첨부]

첨부 1 일본공개특허공보 평07-066393호(1995.03.10) 1부.
첨부2 공개특허 제1999-22665호(1999.03.25) 1부. 끝.

018856

출력 일자: 2004/12/23

2004. 12. 22

특허청

전기전자심사국

반도체심사담당관실

심사관 반성원



<<안내>>

문의사항이 있으시면 ☎ 042-481-5982 로 문의하시기 바랍니다.
서식 또는 절차에 대하여는 특허고객 콜센터 ☎ 1544-8080으로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-66393

(43) 公開日 平成7年(1995)3月10日

(51) Int.Cl.*

H 01 L 29/78
21/336

識別記号

序内整理番号

F 1

技術表示箇所

7514-4M

H 01 L 29/78

301 L

審査請求 未請求 請求項の数3 OL (全4頁)

(21) 出願番号

特願平5-207408

(22) 出願日

平成5年(1993)8月23日

(71) 出願人

000156950 関西日本電気株式会社

滋賀県大津市晴嵐2丁目9番1号

(72) 発明者

西秋 栄治

滋賀県大津市晴嵐2丁目9番1号関西日本電気株式会社内

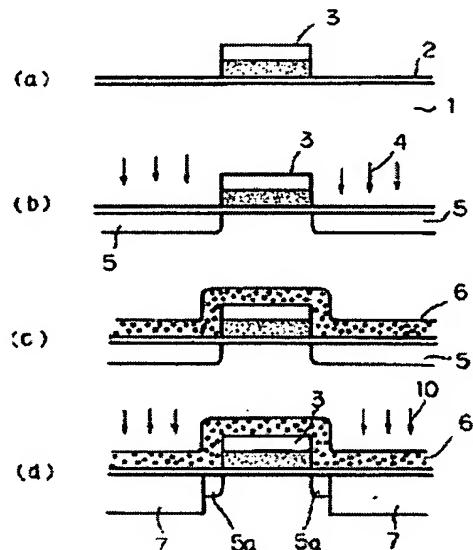
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 LDD構造を有するFETの低速度ソース・ドレイン領域の寸法を安定させ、特性のバラツキをなくす。

【構成】 半導体基板1の表面にゲート電極3を形成し、それをマスクとしてイオン注入4により低速度ソース・ドレイン領域5、5'を形成し、全面にシリコン酸化膜6を形成し、ゲート電極3とその側面のシリコン酸化膜6とをマスクとし、シリコン酸化膜6を退避するイオン注入10で高速度ソース・ドレイン領域7、7'を形成する。

【効果】 低速度ソース・ドレイン領域5a、5'aの寸法を規定するゲート電極3の側面のシリコン酸化膜6はエッティングされていないのでバラツキが大幅に少なくなる。



【特許請求の範囲】

【請求項 1】半導体基板上にゲート電極を形成し、そのゲート電極をマスクとしてイオン注入により低温度ソース・ドレイン領域を形成し、その後ゲート電極の上面及び側面を含む半導体基板上に所定の厚みの絶縁膜を形成し、前記ゲート電極及びその側面の絶縁膜をマスクとして半導体基板上の絶縁膜を透過するイオン注入により、高温度ソース・ドレイン領域を形成することを特徴とする半導体装置の製造方法。

【請求項 2】半導体基板上に設けたゲート絶縁膜上にゲート電極を形成する工程と、そのゲート電極をマスクとして、不純物をイオン注入して低温度ソース・ドレイン領域を形成する工程と、その後全面に絶縁膜を形成する工程と、前記ゲート電極及びその側面の前記絶縁膜をマスクとし、前記絶縁膜を透過するエネルギーで不純物をイオン注入して高温度ソース・ドレイン領域を形成する工程とを特徴とする半導体装置の製造方法。

【請求項 3】半導体基板上に設けた活性層上にゲート電極を形成する工程と、そのゲート電極をマスクとして、不純物をイオン注入して低温度ソース・ドレイン領域を形成する工程と、その後全面に絶縁膜を形成する工程と、前記ゲート電極及びその側面の前記絶縁膜をマスクとし、前記絶縁膜を透過するエネルギーで不純物をイオン注入して高温度ソース・ドレイン領域を形成する工程とを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は電界効果トランジスタの製法に関し、特にLDD構造を有する電界効果トランジスタの製造方法に関する。

【0002】

【従来の技術】従来のLDD構造を有する電界効果トランジスタ（以下FET）の製造方法をNチャンネルMOSFETを例として説明する。図3a～eは各工程でのMOSFETの要部断面図である。

【0003】（1）P型SI基板1の表面にゲート酸化膜2を形成し、その上に例えばポリサイド等でゲート電極3を形成する（図3a参照）。

【0004】（2）次にゲート電極3及び国外のフィールド酸化膜とかホトレジストをマスクに例えればリンのイオン注入4を行い、その後熱処理を行って低温度のソース・ドレイン領域5、5を形成する（図3b参照）。

【0005】（3）次に全面に例えればCVDによりシリコン酸化膜6を例えば0.15μm形成する（図3c参照）。

【0006】（4）次に垂直方向からの異方性エッチを行って、シリコン酸化膜6をゲート電極3の頂部と低温度ソース・ドレイン領域5、5上において完全にエッチングされるまでエッチングを行う。そうするとゲート電極3の側面にサイドウォール6aが残る。また、ソース

・ドレイン5、5上のゲート酸化膜2もエッチングされなくなる（図3d参照）。

【0007】（5）次に酸化膜8を形成し、ゲート電極3とサイドウォール6aと国外のフィールド酸化膜またはホトレジストをマスクに例えればのイオン注入9により高温度のソース・ドレイン領域7、7を形成する（図3e参照）。

【0008】以上の工程により、サイドウォール6aの寸法に応じた低温度ソース・ドレイン領域5a、5aが形成される。

【0009】（6）その後層間絶縁膜（図示せず）やソース・ドレイン電極または配線（図示せず）を形成して、LDD構造のNチャンネルMOSFETが完成する。

【0010】

【発明が解決しようとする課題】ところで、上記の従来のLDD構造のFETの製造方法は、サイドウォールにより低温度のソース・ドレイン領域の寸法を確定し、そのサイドウォールは異方性にエッチバックして作るので、サイドウォールの寸法がバラツキ、したがって低温度のソース・ドレイン領域の寸法がバラツキ、特性がバラツキという問題があった。

【0011】特にゲート電極寸法が微細化するほど低温度のソース・ドレイン領域のバラツキにともなう特性のバラツキが顕著となる。

【0012】其処で本発明は、バラツキの少ないLDD構造のFETの製造方法を提供する。

【課題を解決するための手段】そこで、この発明の半導体装置の製造方法は、半導体基板上にゲート電極を形成し、そのゲート電極をマスクとしてイオン注入により低温度ソース・ドレイン領域を形成し、その後ゲート電極の上面及び側面を含む基板上に所定の厚みの絶縁膜を形成し、前記ゲート電極及びその側面の前記絶縁膜をマスクとして半導体基板上の前記絶縁膜を透過するイオン注入により、高温度ソース・ドレイン領域を形成することを特徴とする。

【0013】

【作用】上記の製造方法によれば、ゲート電極の側面の絶縁膜をエッチングすることなく高温度ソース・ドレイン形成時のイオン注入のマスクとするので、低温度ソース・ドレイン領域のバラツキは大幅に少なくなる。

【0014】

【実施例】以下この発明において図面を参照して説明する。

【0015】図1はこの発明の一実施例のNチャンネルMOSFETの製造方法を示す工程毎の要部断面である。図3に示す従来例と同一の部分には同一符号付して説明を省略する。

【0016】（1）ゲート電極3とマスクにいおん注入により低温度ソース・ドレイン領域5、5を形成する工

程(図1a, 図1b)までは図3a, 図3bに示す従来方法と同じである。

【0017】(2) 次に従来(図3c)と同様に全面に例えればCVD法によりシリコン酸化膜6を所定の厚さ、例えば0.1μm形成する(図1c参照)。

【0018】(3) 次にゲート電極3及びその側面のシリコン酸化膜6及び図外のフィールド酸化膜又はホトレジストをマスクとしてシリコン酸化膜6を透過するエネルギーで、例えればヒ素のイオン注入10を行い高濃度のソース・ドレイン領域7, 7を形成する。

【0019】ゲート電極3の側面のシリコン酸化膜6の厚みに応じて残る低濃度ソース・ドレイン領域5a, 5eは本実施例によればシリコン酸化膜6をエッチングしない寸法が安定し、したがって特性のバラツキも少なくなる。

【0020】(4) 次にシリコン酸化膜6をそのまま層間絶縁膜として利用するか、あるいはその上にリンガラス層を絶縁層として層間絶縁膜として高能動ソース・ドレイン領域7, 7の表面をあらわす開口を形成し、ソース・ドレイン電極(または記録)を形成して、LDD構造を有するMOSFETが完成する。

【0021】以上の説明は、NチャンネルMOSFETについて説明したがPチャンネルMOSFETについても同様に実施できることはいうまでもない。

【0022】

【実施例2】次に本発明をMOSFETに適用した例について説明する。図2は各工程での本発明によるMOSFETの要部断面図である。

【0023】(1) 半絶縁性のGeAs基板11の表面に例えばSiのイオンを注入する等の方法で、n型活性層12を形成し、それに接してタンクステン等耐熱性材料によりショットキ接合を形成するゲート電極13を形成する(図2a参照)。

【0024】(2) 次にゲート電極13と図外のホトレジストをマスクにSiのイオン注入を行い低濃度のソース・ドレイン領域15, 15を形成する(図2b参照)。

【0025】(3) 次に全面にCVD法により例えばシリコン酸化膜16を例えば0.1μm形成する(図2c参照)。

【0026】(4) 次にゲート電極及びその側面のシリコン酸化膜6及び図外のホトレジストをマスクとし、シリコン酸化膜を透過するエネルギーでSiのイオン注入20を行い高濃度のソース・ドレイン領域17, 17を形成し、熱処理を行い活性化する(図2d参照)。

【0027】(5) 次にシリコン酸化膜をエッチングして取り除き、高濃度ソース・ドレイン領域17, 17に接するオーム接合を形成して、LDD構造のMOSFETが完成する。

【0028】本実施例においても前記した第1の実施例と同様の効果がある。

【0029】

【発明の効果】以上説明したように、この発明はゲート電極の側面の絶縁膜をエッチングすることなく、低濃度ソース・ドレイン領域の寸法出しに用いるので、バラツキが少なく安定した特性のFETの製造を行うことができる。

【図面の簡単な説明】

【図1】 本発明の一実施例を示す工程毎の要部断面図。

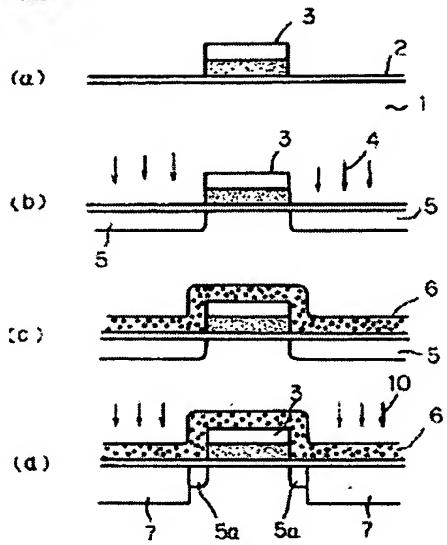
【図2】 本発明の他の実施例の工程毎の要部断面図。

【図3】 従来のMOSFET製造方法を示す工程毎の要部断面図。

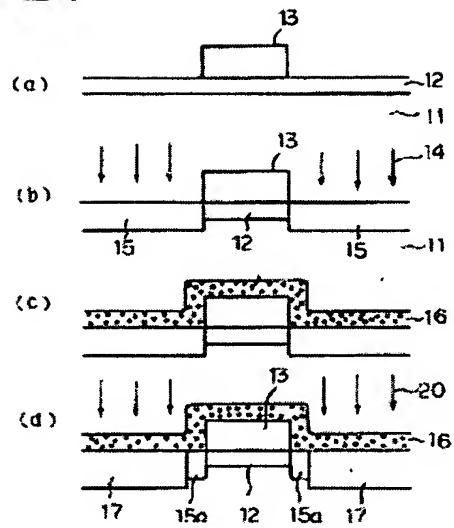
【符号の説明】

- 1 P型Si(半導体基板)
- 3, 13 ゲート電極
- 4 リンイオン注入
- 5, 5a, 15, 15e 低濃度ソース・ドレイン電極
- 6, 16 シリコン酸化膜(絶縁膜)
- 7, 17 高濃度ソース・ドレイン領域
- 10 ヒ素イオン注入
- 11 GeAs(半導体基板)
- 14, 20 Siイオン注入

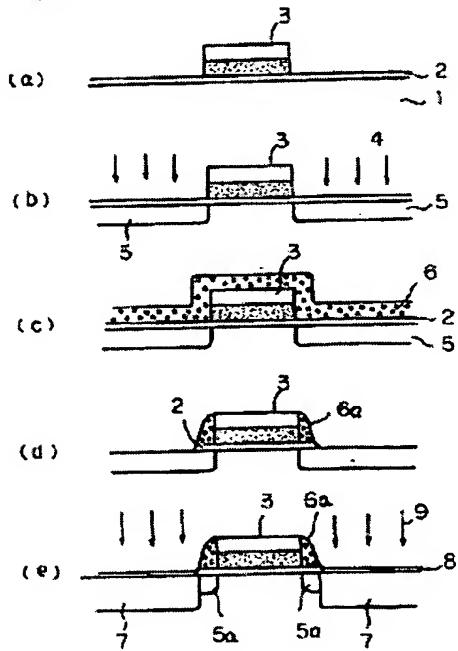
[FIG 1]



[FIG 2]



[FIG 3]



특 1999-022665

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁶

H01L 21/24

(11) 공개번호 특 1999-022665

(43) 공개일자 1999년 03월 25일

(21) 출원번호	특 1997-071900
(22) 출원일자	1997년 12월 22일
(30) 우선권주장	97-226289 1997년 08월 22일 일본(JP)
(71) 출원인	미쓰비시덴키 가부시키가이샤 다니구찌 미찌로오, 기타오카 다카시 일본국 도쿄도 지요다구 마루노우치 2초메 2반 3고 마에다 시게노부
(72) 발명자	일본 도쿄도 지요다구 마루노우찌 2초메 2-3마쓰비시 덴기 가부시끼가이샤 내
(74) 대리인	구영창, 이상희, 주성민

설사첨구 : 있음(54) 반도체 장치의 제조 방법**요약**

실리사이드 보호막을 구비한 반도체 장치에 있어서, 실리사이드 보호막의 형성시의 오버 에칭에 기인하는 부적합을 방지한 반도체 장치의 제조 방법을 제공한다.

보호 영역 PR 및 투상 영역 IOR에 전면적으로 실리콘 산화막(8)을 형성한다. 그리고, 실리콘 산화막(8)의 상부로부터 실리콘 산화막(8)을 관통하도록 이온 주입법에 의해 N형 불순물을 도입하고, SOI 층(3)의 표면내에 자기 정합적으로 소오스 드레인 영역(7)을 형성한다.

도표도**도 2****설명****도면의 간단한 설명**

- 도 1은 본 발명에 따른 제1 실시예의 반도체 장치의 제조 방법을 나타낸 도면.
- 도 2는 본 발명에 따른 제1 실시예의 반도체 장치의 제조 방법을 나타낸 도면.
- 도 3은 본 발명에 따른 제1 실시예의 반도체 장치의 제조 방법을 나타낸 도면.
- 도 4는 본 발명에 따른 제1 실시예의 반도체 장치의 제조 방법을 나타낸 도면.
- 도 5는 본 발명에 따른 제1 실시예의 반도체 장치의 제조 방법을 나타낸 도면.
- 도 6은 본 발명에 따른 제1 실시예의 반도체 장치의 제조 방법의 변형예를 나타낸 도면.
- 도 7은 본 발명에 따른 제1 실시예의 반도체 장치의 제조 방법의 변형예를 나타낸 도면.
- 도 8은 본 발명에 따른 제2 실시예의 반도체 장치의 제조 방법을 나타낸 도면.
- 도 9는 본 발명에 따른 제2 실시예의 반도체 장치의 제조 방법을 나타낸 도면.
- 도 10은 본 발명에 따른 제2 실시예의 반도체 장치의 제조 방법을 나타낸 도면.
- 도 11은 본 발명에 따른 제2 실시예의 반도체 장치의 제조 방법을 나타낸 도면.
- 도 12는 본 발명에 따른 제2 실시예의 반도체 장치의 제조 방법을 나타낸 도면.
- 도 13은 본 발명에 따른 제2 실시예의 반도체 장치의 제조 방법을 나타낸 도면.
- 도 14는 본 발명에 따른 제2 실시예의 반도체 장치의 제조 방법의 변형예를 나타낸 도면.
- 도 15는 본 발명에 따른 제2 실시예의 반도체 장치의 제조 방법의 변형예를 나타낸 도면.
- 도 16은 MOS 트랜지스터의 제조에 있어서의 실리사이드 공정을 설명하는 도면.
- 도 17은 MOS 트랜지스터의 제조에 있어서의 실리사이드 공정을 설명하는 도면.
- 도 18은 실리사이드 보호막의 용도를 설명하는 도면.
- 도 19는 실리사이드막의 문제점을 설명하는 도면.

도 20은 실리사이드막의 문제점을 설명하는 도면.

도 21은 실리사이드 보호막의 동작을 설명하는 평면도.

도 22는 실리사이드 보호막의 동작을 설명하는 평면도.

도 23은 실리사이드 보호막의 문제점을 설명하는 도면.

도면의 주요 부분에 대한 부호의 설명

5, 5A : 게이트 산화막 6, 6A : 게이트 전극

8, 15, 16 : 실리콘 산화막 9, 17 : 실리사이드 보호막

R1, R2 : 레지스트 마스크 11A, 21, 21A : 측벽 산화막

설명의 상세한 설명

설명의 목적

설명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치의 제조 방법에 관한 것으로, 특히 실리사이드 보호막을 구비한 반도체 장치의 제조 방법에 관한 것이다.

로직 LSI(대규모 집적 회로) 등에 사용되는 트랜지스터에서는 소오스/드레인 영역의 가생 저항 및 폴리실리콘 게이트 전극의 배선 저항을 동시에 저감시키기 위해 소오스·드레인 영역 및 폴리실리콘 게이트 전극의 표면에 선택적, 자기 정합적으로 실리사이드막을 형성하는 실리사이드(Salicide : self-aligned silicide)라고 하는 기술을 사용한다.

도 16 및 도 17을 사용하여 실리사이드 기술에 대해서 설명한다.

우선, 도 16에 도시한 바와 같이, 실리콘 기판 SB상에 MOS 트랜지스터 M1(이 경우는 N 채널형)을 사용한 후, 소오스·드레인 영역 SD의 표면상, 폴리실리콘 게이트 전극 GE의 노출 표면상, 측벽 산화물 SW의 표면상에 예를 들면 코발트(Co) 등의 금속막 ML을 스퍼터링에 의해 100 퐁스트를 정도의 두께로 형성한다.

이어서, 온도 조건 400~500°C에서 30~120초 정도의 열처리를 행하면, 금속막 ML과 실리콘층이 접한 부분이 반응하여 실리사이드막이 형성되게 된다. 그 후, 반응하지 않은 부분을 습식 에칭에 의해 제거하고, 온도 조건 800~900°C에서 30~120초의 열처리를 행하는 것으로 도 17에 도시한 바와 같이 소오스·드레인 영역 SD의 표면상 및 폴리실리콘 게이트 전극 GE의 노출 표면상에만 실리사이드막 SF가 형성되어 진다.

앞서 설명한 바와 같이, 실리사이드막은 가생 저항이나 배선 저항을 저감시킨다는 잇점을 가지고 있지만, 한편으로 실리사이드막의 형성이 바람직하지 않은 현상을 초래할 경우도 있다. 이 경우에는 실리사이드막의 형성을 원하지 않은 부분에서 실리사이드막의 형성을 방지하는 실리사이드 보호막을 형성하는 것으로 대처하고 있다.

이어서, 실리사이드막을 형성하는 것에 의한 문제점 및 실리사이드 보호막에 대해 설명한다. 우선, 도 18에 반도체 집적 회로의 일례로서 인버터 회로 C2와 그를 보호하는 보호 회로 C1을 나타내고 있다.

보호 회로 C1은 P채널 MOS 트랜지스터 P1과 N채널 MOS 트랜지스터 N1을 직렬로 접속하여 구성하고, 양자를 접속하는 노드 ND1에 입력 패드 PD가 접속되어 있다. P채널 MOS 트랜지스터 P1의 게이트 전극은 전원 전위(Vcc)에 접속되어 항상 OFF 상태로 되어 있다. N채널 MOS 트랜지스터 N1의 게이트 전극은 접지 전위에 접속되어 항상 OFF 상태로 되어 있다.

인버터 회로 C2는 P채널 MOS 트랜지스터 P2와 N채널 MOS 트랜지스터 N2를 직렬로 접속하여 구성되고, 양자의 접속 노드 ND2는 도시 하지 않은 다른 회로에 접속되어 있다. 그리고, P채널 MOS 트랜지스터 P2 및 N채널 MOS 트랜지스터 N2의 게이트 전극은 보호 회로 C1의 노드 ND1에 접속되어 있다.

여기서, 입력 패드 PD로부터 서머지(surge) 전압이 입력된 경우, 즉 ESD(Electro Static Discharge)가 생긴 경우를 상정한다. 서머지 전압은 통상의 MOS 트랜지스터의 동작 전압에 비해 아주 높은 전압이기 때문에, 보호 회로 C1이 없으면 서머지 전압은 인버터 회로 C2의 P채널 MOS 트랜지스터 P2 및 N채널 MOS 트랜지스터 N2의 게이트 전극에 인가되고, 양자의 게이트 절연이 파괴될 우려가 있다. 그러나, 보호 회로 C1의 존재에 의해 서머지 전압이 인가되면, P채널 MOS 트랜지스터 P1 및 N채널 MOS 트랜지스터 N1의 소오스·드레인 사이가 브레이크다운되어 전류가 흐르고, 인버터 회로 C2에 서머지 전압이 인가되는 것을 방지할 수 있다.

그렇지만, 보호 회로 C1에서 아주 큰 서머지 전압이 소오스·드레인간에 인가된 경우, 보호 회로 C1중의 P채널 MOS 트랜지스터 P1 또는 N채널 MOS 트랜지스터 N1이 파괴되어 버린다. 이 파괴시의 서머지 전압을 ESD 내압이라 부르며, 될 수 있는 한 큰 값으로 설계하는 것이 바람직하다. 그런데, 소오스·드레인 영역의 표면에 실리사이드막이 형성되어 있으면 ESD 내압이 저하할 가능성이 있다.

도 19에 MOS 트랜지스터 M1의 평면 구성을 나타낸다. MOS 트랜지스터 M1은 가늘고 긴 형상의 게이트 전극 GE를 중앙에 배치하고, 그 좁은 쪽 방향의 양 외측에 소오스·드레인 영역 SD가 설치되며, 소오스·드레인 영역 SD의 표면에 실리사이드막 SF가 형성된 구조으로 되어 있다.

도 19에 도시한 영역 A의 확대도를 도 20에 도시한다. 실리사이드막 SF는 일반적으로 다결정 구조로서, 도 20에 도시한 바와 같이 크고 작은 실리사이드의 결정 입자 GR로 구성되어 있다. 따라서, 결정 입자에서는 각 입자의 형상이 반영되어 기복을 가지고 있다. 이것은 게이트 전극 GE의 단면부를 따라 있는 실

리사이드막 SF0의 단면부에서도 마찬가지로, 도 20에 도시한 바와 같이 게이트 전극 GE를 사이에 두고 결정 입자 GROI 대향하고 있다. 이러한 구조에서, 서어지 전압이 인가되면, 게이트 전극 GE의 양측의 결정 입자 GR의 기복 부분(화살표 사이)에 서어지 전압의 집중이 일어나고, 그 부분이 집중적으로 파괴되어 MOS 트랜지스터의 동작이 불량으로 되어 보호 회로로서 기능을 잃게 된다. 이러한 이유로 보호 회로의 소오스·드레인 영역의 표면에 실리사이드막을 형성하지 않는 것으로 하고, 그 대신에 실리사이드 보호막을 형성하는 것이다.

이어서, 도 21 및 도 22를 사용하여 실리사이드 보호막을 형성한 MOS 트랜지스터 M2의 구성에 대해서 설명한다.

도 21에 도시한 바와 같이, 게이트 전극 GE 및 게이트 전극 GE의 근방의 소오스·드레인 영역 SD의 표면 상에는 실리콘 산화막(SiO₂)으로 구성되는 실리사이드 보호막 SP가 형성되어 있다. 여기에서, 도 21에 도시한 A-A선에서의 단면도를 도 22에 도시한다.

도 22에 도시한 바와 같이, 실리사이드 보호막 SP는 게이트 전극 GE와, 측벽 산화막 SW, 및 게이트 전극 GE의 근방의 소오스·드레인 영역 SD의 표면상에 형성되어 있고, 실리사이드 보호막 SP의 상부에는 실리사이드막 SF는 형성되어 있지 않다. 이러한 구성으로 함으로써 실리사이드막 SF의 단면부와 게이트 전극 GE의 단면부의 사이의 거리가 넓어지게 된다. 따라서, 실리사이드막 SF 단면부의 형상이, 기복이 연속한 형상으로서 서어지 전류가 흘출한 부분에 집중했다해도 서어지 전류는 저항이 높은 소오스·드레인 영역 SD 및 저(低)도포 드레인 영역 LD를 통과하는 것으로 전압이 저하하고, 또한 소오스·드레인 영역 SD 및 저도포 드레인 영역 LD의 간 거리에 걸쳐 통과하기 때문에 확산하게 되고, MOS 트랜지스터의 파괴가 방지되어진다.

이상 설명한 바와 같이, 실리사이드막 SF를 형성하는 것으로 부적합이 발생하는 MOS 트랜지스터에 있어서는 실리사이드 보호막 SP를 형성하는 것으로 실리사이드막 SF의 형성을 방지하여 왔다.

그리고, 실리사이드 보호막 SP의 형성에서는, 실리콘 기판 SB의 전면에 걸쳐 실리콘 산화막을 형성한 후, 이 실리콘 산화막을 건식 예열에 의해 선택적으로 제거하는 것으로, 게이트 전극 GE 및 게이트 전극 GE 근방의 소오스·드레인 영역 SD의 표면상에만 실리사이드 보호막 SP를 형성하도록 해왔다.

따라서, 실리콘 기판 SB의 표면은 MOS 트랜지스터의 측벽 산화막 SW의 형성 시의 예열에 부기하여, 실리사이드 보호막 SP의 형성 시의 예열에 노출되어 있었다. 별크 실리콘 기판상에 MOS 트랜지스터를 형성하는 경우라면, 예열 횟수가 다소 증가하여 기판 표면이 다소 제거되어도 중대한 문제는 발생하지 않지만, 절연성 기판상에 막 형태로 형성된 반도체층, 즉 SOI(semiconductor-on-isolation)층을 구비한 SOI 기판상에 MOS 트랜지스터를 형성할 경우에는, 예열 횟수의 증가는 중대한 문제를 일으키게 된다.

도 23에 SOI 기판상에 형성된 MOS 트랜지스터 M3에 실리사이드 보호막을 형성한 경우의 구성을 도시한다.

도 23에서 SOI 기판 SI는 실리콘 기판 SB의 상부에 매립 절연층 BO가 형성되고, 매립 절연층 BO의 상부에 SOI층 SL이 형성된 구성을 갖고 있다. 그리고, SOI층 SL상에 MOS 트랜지스터 M3가 형성되어 있다. 일반적으로 SOI층 SL의 두께는 알아 오버 예열에 의한 영향을 무시할 수 없다.

예를 들면, 도 23에서 측벽 산화막 SW의 단면부에는 측벽 산화막 SW의 형성 시에 발생하는 오버 예열에 의해 생긴 단자 M1이 존재하고 있고, 단자 M1의 낙차에 상당하는 분만큼 SOI층 SI의 두께가 감소하고 있다. 또한, 실리사이드 보호막 SP의 단면부에는 실리사이드 보호막 SP의 형성 시에 발생하는 오버 예열에 의해 생긴 단자 M2가 존재하고 있고, 단자 M2의 낙차에 상당하는 양만큼 SOI층 SL의 두께가 감소된다. 이와 같이, 2회의 오버 예열에 의해 실리사이드 보호막 SP로 덮여있지 않은 부분의 SOI층 SI의 두께는 대폭 감소하고, 그곳에 실리사이드막 SF를 형성하면, 남은 SOI층 SL이 모두 실리사이드막 SF로 되어 버릴 가능성이 있다. 그리고, SOI층 SL이 모두 실리사이드막 SF로 된 부분에서는 매립 절연층 BO(SiO₂층)와 실리사이드막 SF와의 밀착성이 나쁨에 기인하여 실리사이드막 SF가 박리해 도전성의 면지로 되고, 이것이 반도체 장치상에 잔류하면 반도체 장치의 동작 특성에 악영향을 미친다는 문제가 있었다. 또한, 소오스·드레인 영역으로 되는 부분이 실리사이드막 SF로 되어 박리되면, 반도체 장치의 증대의 기능을 얻을 수 없다는 문제가 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 삼기와 같은 문제를 해소하기 위하여 이루어진 것으로, 실리사이드 보호막을 구비한 반도체 장치에 있어서, 실리사이드 보호막의 형성 시의 오버 예열에 기인하는 부적합을 방지한 반도체 장치의 제조 방법을 제공한다.

본 발명에 따른 반도체 장치의 제조 방법은, 반도체 기판상에 형성된 제1 및 제2 MOS 트랜지스터를 구비하고, 상기 제1 MOS 트랜지스터에서 실리사이드막의 형성을 원하지 않는 부분에는 실리사이드 보호막이 형성된 반도체 장치의 제조 방법에 있어서, 삼기 반도체 기판의 주면상에 삼기 제1 및 제2 MOS 트랜지스터가 형성되는 영역에 각각 제1 및 제2 게이트 산화막과, 제1 및 제2 게이트 전극을 차례로 적용하여 형성하는 공정(a)와, 삼기 제1 및 제2 게이트 전극을 마스크로 하여 삼기 반도체 기판에 제1 도전형의 불순물을 이온을 주입하고, 삼기 제1 및 제2 게이트 전극의 측면 바깥쪽의 삼기 반도체 기판의 표면내에 자기 정합적으로 비교적 저농도인 제1 도전형의 제1 반도체 영역을 각각 형성하는 공정(b)와, 삼기 제1 및 제2 게이트 전극 및 삼기 반도체 기판의 표면을 덮도록 산화막을 형성하는 공정(c)와, 삼기 제1 및 제2 게이트 전극과 미 제1 및 제2 게이트 전극의 측면에 형성된 삼기 산화막을 마스크로 하여 삼기 산화막의 상부로부터 제1 도전형의 불순물을 이온을 주입하고, 삼기 제1 반도체 영역을 포함하는 삼기 반도체 기판의 표면내에 자기 정합적으로 비교적 고농도인 제1 도전형의 제2 반도체 영역을 형성하는 공정(d)와, 삼기 제1 게이트 전극의 상부로부터 미 제1 게이트 전극의 측면 바깥쪽 균방의 삼기 산화막의 상부에 미르도를 선택적으로 레지스트 마스크를 형성하는 공정(e)와, 삼기 레지스트 마스크에 덮이지 않은 삼기 산화막을 에칭하고, 삼기 레지스트 마스크의 하부의 삼기 산화막을 삼기 실리사이드 보호막으로서 남겨 두어 삼기 제2 게이트 전극 및 삼기 제2 게이트 산화막의 측면의 삼기 산화막을 측벽 산화막으로서 남겨 두는 공정

(f)를 포함하고 있다.

본 발명에 따른 반도체 장치 제조 방법은, 상기 공정 (f)가, 상기 레지스트 마스크로 덮이지 않은 상기 산화막의 두께를 미방성 건식 에칭법에 의해 얇게 하는 공정 (f-1)과, 두께가 얇아진 상기 산화막을 습식 에칭법에 의해 제거하는 공정 (f-2)를 포함하고 있다.

본 발명에 따른 반도체 장치의 제조 방법은, 반도체 기판상에 형성된 제1 및 제2 MOS 트랜지스터를 구비하고, 상기 제1 MOS 트랜지스터에서 실리사이드막의 형성을 원하지 않는 부분에는 실리사이드 보호막이 형성된 반도체 장치의 제조 방법에 있어서, 상기 반도체 기판의 주면상의 상기 제1 및 제2 MOS 트랜지스터가 형성되는 영역에 각각 제1 및 제2 게이트 산화막, 제1 및 제2 게이트 전극을 차례로 적층하여 형성하는 공정(a)와, 상기 제1 및 제2 게이트 전극을 마스크로 하여, 상기 반도체 기판에 제1 도전형의 불순물을 주입하고, 상기 제1 및 제2 게이트 전극의 측면과 바깥쪽의 상기 반도체 기판의 표면내에 자기 정합적으로 비교적 저농도인 제1 도전형의 제1 반도체 영역을 각각 형성하는 공정(b)와, 상기 제1 및 제2 게이트 전극 및 상기 반도체 기판의 표면을 둘도록 제1 산화막을 형성하는 공정(c)와, 상기 제1 산화막의 두께를 미방성 건식 에칭법에 의해 얇게 하고, 상기 제1 게이트 전극 및 상기 제1 게이트 산화막의 층면에 제1의 측벽 산화막을, 상기 제2 게이트 전극 및 상기 제2 게이트 산화막의 층면에 제2의 측벽 산화막을 형성하는 공정(d)와, 상기 공정(d)의 앞 또는 뒤에 상기 제1 산화막의 상부로부터 제1 도전형의 불순물을 주입하고, 상기 제1 반도체 영역을 포함하는 상기 반도체 기판의 표면내에 자기 정합으로 비교적 고농도인 제1 도전형의 제2 반도체 영역을 형성하는 공정(e)와, 두께가 얇아진 상기 제1 산화막의 상부에 제2 산화막을 형성하는 공정(f)와, 상기 제1 게이트 전극의 상부로부터 이 제1 게이트 전극의 층면과 바깥쪽 균방의 상기 제2 산화막의 상부에 마르도록 선택적으로 레지스트 마스크를 형성하는 공정(g)과, 상기 레지스트 마스크에 둘째지 않은 상기 제2 산화막 및 그 하부의 두께가 얇아진 상기 제1 산화막을 에칭에 의해 제거하고, 상기 레지스트 마스크의 하부의 상기 제2 산화막을 상기 실리사이드 보호막으로 하는 공정(h)를 포함하고 있다.

촬영의 구성 및 작용

A. 제1 실시예

A-1. 제조 방법

본 발명에 따른 제1 실시예로서 실리사이드 보호막을 필요로 하는 MOS 트랜지스터를 구비한 반도체 장치(100)의 제조 방법을 제조 공정을 차례로 도시한 도 1 내자 도 5를 사용하여 설명한다.

우선, 도 1에 도시한 공정에서 실리콘 기판(1)의 상부에 매립 절연층(2)과, SOI층(3)이 차례로 형성된 SOI 기판(10)을 준비한다. 그리고, 실리사이드 보호막을 필요로 하는 MOS 트랜지스터가 형성되는 보호 영역 PR 및 실리사이드 보호막을 필요로 하지 않는 MOS 트랜지스터가 형성되는 통상 영역 OR에 각각 게이트 산화막(5 및 5A), 게이트 전극(6 및 6A)을 선택적으로 형성하고, 이 게이트 전극(6 및 6A)을 마스크로 하여 SOI층(3)에 마온 주입법에 의해 N형 불순물(예를 들면 As)를 도입하여 SOI층(3)의 표면내에 자기 정합적으로 저도포드레인 영역(4)(제1 반도체 영역)을 형성한다. 또한, SOI층(3)에는 미리 P형 불순물을 비교적 저농도로 도입되어 있다.

이어서, 도 2에 나타낸 공정에서, 보호 영역 PR 및 통상 영역 DR에서 전면적으로 실리콘 산화막(8)을 형성한다. 그리고, 실리콘 산화막(8)의 상부로부터 실리콘 산화막(8)을 관통하도록 마운 주입법에 의해 N형 불순물(예를 들면 As)을 도입하고, SOI층(3)의 표면내에 자기 정합적으로 소오스 - 트레이н 영역(?) (제2 반도체 영역)을 형성한다.

여기에서, 게이트 전극(6 및 6A)의 하부의 SOI층(3)내에, 또한 저도포 드레인 영역(4)를 남기고자 하는 부분에는 불순물이 주입되지 않도록 하기 위해 게이트 전극(6 및 6A)의 두께, 및 실리콘 산화막(8)의 두께에는 유의한다. 예를 들면, 불순물로서 비소(As)를 사용하는 경우는, 주입 에너지는 80eV이면, 게이트 전극(6 및 6A)의 두께는 200nm을 트로 정도, 실리콘 산화막(8)의 두께는 50nm을 트로 정도로 한다.

또한, 상기 두께에서는 플루오르화 텼소(BF_3)를 불순물로서 사용하는 경우(P형 MOS 트랜지스터를 형성하는 경우)는 그의 주위 에너지는 60kV 정도로 한다.

이와 같이 실리콘 산화막(8)을 통해 이온 주입을 행함으로써 SDI층(3)의 표면에 주입에 의한 손상이 주어지는 것이 방지된다.

이어서, 도 3에 도시한 과정에서, 보호 영역 PR에서의 실리콘 산화막(8)의 소정 부분에 선택적으로 레지스트 마스크 R1을 형성한다. 레지스트 마스크 R1은 실리콘 산화막(8)을 실리사이드 보호막으로서 남기지 않은 부분을 덮도록 형성되고, 도 3e에서는 게이트 전극(6)의 상부로부터 게이트 전극(6)의 근방의 소오스는 케이스 영역 A 상을 형성된다.

이어서, 도 4에 도시한 공정에서, 건식 애청에 의해 레지스트 마스크 RI에 덮여진 부분 미외의 실리콘 산화막(8)을 제거한다. 이 공정에 의해 게이트 전극(6)의 상부로부터 게이트 전극(6)의 근방의 소오스 드레인 영역(7)의 상부에 걸쳐서는 실리사이드 보호막(9)이 형성되고, 게이트 전극(6A) 및 게이트

이어서, 레이스트 마스크 RI를 제거한 후, 전면적으로 예를 들면 코발트(Co) 등의 금속막을 스퍼터링에 의해 100 응스트롬 정도의 두께로 형성한다. 이어서, 온도 조건 400~500°C로 30~120초 정도의 열처리를 행하면, 금속막과 실리콘층이 접한 부분이 반응하여 실리사이드막이 형성되게 된다. 그 후, 반응하지 않은 부분을 습식 액정에 의해 제거하고, 온도 조건 800~900°C로 30~120초 정도의 열처리를 행하면, 도 5에 도시한 바와 같이 소오스·드레이인 영역(?)의 노출 표면상 및 게이트 전극(GA)의 노출 표면상에만 실리사이드막(12)이 자기 정합적으로 형성된 반도체 장치(100)가 얻어지게 된다.

또한, 슬리사미드뮴(12)를 셰는 티탄 슬리사미드(TiSi-), 또는 니켈 슬리사미드(NiSi-), 톨스텐 슬리사미드(TeSi-) 등이 있다.

드(WSI.) 등 어떤 실리사이드막이라도 관계없다.

A-2. 특징적 작용 효과

이상 설명한 바와 같이, 본 발명에 따른 제1 실시예에서는 보호 영역 PR에서의 실리사이드 보호막 및 통상 영역에서의 측벽 산화막(11A)을 양자에 공통하도록 형성된 실리콘 산화막(8)에 1회의 예정 공정을 통해 실시함으로써 형성하기 때문에, SOI층(3)의 표면이 오버 에칭에 의해 깎이는 횟수를 저감하고, SOI층(3)의 두께가 과도하게 감소하는 것이 방지되기 때문에, 실리사이드 막은 모두 실리사이드 막으로 릴 가능성이 저감한다. 따라서, 실리사이드 막(12)이 박리하여 도전성의 먼지로 되는 현상이 방지되기 때문에, 도전성의 먼지의 존재에 의해 반도체 장치의 동작 특성이 열화하는 것이 방지되고, 또한 실리사이드 막(12)이 박리로 기인하는 반도체 장치로서의 가능한 저하를 방지할 수 있다. 또한, 실리콘 산화막(8)을 통해 소오스·드레인 주입을 행함으로써 SOI층(3)의 표면에 주입에 의한 손상이 주어지는 것 이 방지된다.

이와 같이, 실리사이드 보호막(9) 및 측벽 산화막(11A)을 공통의 실리콘 산화막(8)으로 형성하고, 실리콘 산화막(8)을 통해 소오스·드레인 주입을 행하는 것으로 이상 설명한 작용 효과 이외에 제조 공정을 간략화할 수 있는 효과가 얻어진다.

예를 들면, 미국 특히 5585299호 공보에서는, 실리사이드 보호막 및 측벽 산화막을 공통의 실리콘 산화막으로 형성하는 구성이 개시되어 있지만, 보호 영역으로의 MOS 트랜지스터의 상부로부터 실리사이드 보호막을 완전히 제거한 후에 행하고 있고, 실리사이드 보호막을 완전히 제거한다는 기술적으로 곤란한 공정이 필요하게 된다. 따라서, 제조 공정이 복잡하게 되는 것과 함께, 소오스·드레인 영역 표면의 오버 에칭에 의한 손상을 발생하지만, 보호 영역의 MOS 트랜지스터의 상부로부터 실리사이드 보호막을 제거할 필요가 없는 본원 발명에서는 그와 같은 문제는 없다.

또한, 게이트 전극의 층면 부분도 포함하여 실리사이드 보호막을 완전히 제거하는데는 건식 예정만으로는 불충분하고, 습식 예정, 그것도 비교적 짧시간의 습식 예정이 필요하지만, 짧시간의 습식 예정에 의해 MOS 트랜지스터의 게이트 전극도 제거되어 MOS 트랜지스터가 파괴될 가능성이 있지만, 본원 발명에서는 그러한 문제는 발생하지 않는다.

또한, 미국 특히 562344호 공보 및 5021853호 공보에서는, 실리사이드 보호막 및 측벽 산화막을 공통의 실리콘 산화막으로 형성하는 구성이 개시되어 있지만, 소오스·드레인 주입은 상기 실리콘 산화막을 형성하기 전에 게이트 전극을 마스크로 하여 미온 주입법에 의해 형성하고 있다. 따라서, 기판 표면으로의 주입에 의한 손상을 방지할 수는 없다. 또한, 게이트 전극을 마스크로 하여 소오스·드레인 영역을 형성하고 있으며, 저도프 드레인 영역은 형성되지 않고 본원 발명의 구성과는 다르다.

A-3. 변형 예

이상 설명한 본 발명에 따른 제1 실시예에서는 도 3에 도시한 공정에서 보호 영역 PR에서의 실리콘 산화막(8)의 소정 부분에 선택적으로 레지스트 마스크 R1을 형성한 후, 도 4에 도시한 공정에서 건식 예정에 의해 레지스트 마스크 R1으로 덮인 부분 미외의 실리콘 산화막(8)을 제거하는 예를 나타내었다. 그러나, SOI층(3)의 표면의 오버 에칭을 방지한다는 관점으로부터 미하와 같은 방법을 채용할 수도 있다.

즉, 도 3에 도시한 공정에 계속하여 도 6에 도시한 바와 같이 건식 예정에 의해 레지스트 마스크 R1으로 덮인 부분 미외의 실리콘 산화막(8)을 소정의 두께로 되기까지 제거한다. 이 경우, 실리콘 산화막(8)은 SOI층(3)상에 200 응스트루 정도의 두께로 되도록 한다.

이어서, 도 7에 도시한 공정에서, 습식 예정에 의해 남아 있던 실리콘 산화막(8)을 완전히 제거한다. 습식 예정은 실리콘에 대한 선택비가 높기 때문에, SOI층(3)의 표면이 오버 에칭되는 비율이 작고, SOI층(3)의 두께가 과도하게 감소하는 것이 더욱 방지되기 때문에, 실리사이드 막은 SOI층(3)이 모두 실리사이드 막으로 될 가능성이 더욱 저감되게 된다.

또한, 습식 예정은 등방적이기 때문에, 레지스트 마스크 R1으로 덮이지 않은 부분, 즉 실리사이드 보호막(9)의 단연부(91)미 약간 제거되게 되며, 이 단연부(91)의 표면 형상이 원만하게 결사한 형상으로 된다. 이것은 통상 영역 OR의 MOS 트랜지스터에서의 측벽 산화막(11A)의 표면 형상에서도 마찬가지이고, 본 변형 예를 적용한 경우의 특징이라고 말할 수 있다.

B. 제2 실시예

B-1. 제조 방법

도 1 내지 도 5를 사용하여 설명한 제1 실시예에서는, 실리사이드 보호막(9) 및 측벽 산화막(11A)을 공통의 실리콘 산화막(8)으로 형성하고, 실리콘 산화막(8)을 통해 소오스·드레인 주입을 행하는 예를 설명하였지만, 오버 에칭의 횟수를 줄인다는 관점에서 미하 도 8 내지 도 13을 사용하여 설명하는 제조 방법을 채용할 수 있다.

우선, 도 8에 도시한 공정에서, 실리콘 기판(1)의 상부에 매립 절연층(2)과, SOI층(3)이 차례로 형성된 SOI 기판(10)을 준비한다. 그리고, 실리사이드 보호막을 필요로 하는 MOS 트랜지스터가 형성되는 보호 영역 PR 및 실리사이드 보호막을 필요로 하지 않는 MOS 트랜지스터가 형성되는 통상 영역 OR에 각각 게이트 산화막(5 및 5A)과, 게이트 전극(6 및 6A)을 선택적으로 형성하고, 미 게이트 전극(6 및 6A)을 마스크로 하여 SOI층(3)에 미온 주입법에 의해 N형 불순물(예를 들면 As)을 도입해 SOI층(3)의 표면내에 자기 정합적으로 저도프 드레인 영역(4; 제1 반도체 영역)을 형성한다. 또한, SOI층(3)에는 P형 불순물이 비교적 저농도로 도입되어 있다.

이어서, 도 9에 도시한 공정에서, 보호 영역 PR 및 통상 영역 OR에서 전면적으로 실리콘 산화막(15; 제1의 실리콘 산화막)을 형성한다. 그리고, 실리콘 산화막(15)의 상부로부터 실리콘 산화막(15)을 관통하도록 미온 주입법에 의해 N형 불순물(예를 들면 As)을 도입하고, SOI층(3)의 표면내에 자기 정합적으로 소

오스·드레인 영역(?) : 제2 반도체 영역)을 형성한다.

여기에서, 게이트 전극(6 및 6A)의 하부의 SOI층(3)내에, 또한 저도포 드레인 영역(4)을 남기고자 하는 부분에는 불순물이 주입되지 않도록 하기 위해 게이트 전극(6 및 6A)의 두께 및 실리콘 산화막(15)의 두께에는 유의한다. 예를 들면, 불순물로서 비소(As)를 사용하는 경우는, 주입 에너지가 80keV이면, 게이트 전극(6 및 6A)의 두께는 2000 응스트롬 정도, 실리콘 산화막(15)의 두께는 500 응스트롬 정도로 한다. 게다가, 상기 두께에 있어서는, 플루오르화 브소(BF₃)를 불순물로서 사용하는 경우(P형 MOS 트랜지스터를 형성하는 경우)는 그 주입 에너지는 60keV 정도로 한다.

이와 같이, 실리콘 산화막(15)을 통해 이온 주입을 행함으로써 SOI층(3)의 표면에 주입에 의한 손상이 주어지는 것이 방지된다.

이어서, 도 10에 도시한 바와 같이 건식 에칭에 의해 실리콘 산화막(15)을 소정의 두께로 될때까지 제거한다. 이 경우, 실리콘 산화막(15)은 SOI층(3)상에서 200 응스트롬 정도의 두께로 되도록 한다. 이 과정에 의해 게이트 전극(6A) 및 게이트 산화막(5A)의 양측면에는 측벽 산화막(21A)이 형성되고, 게이트 전극(6) 및 게이트 산화막(5)의 양측면에는 측벽 산화막(21)이 형성되게 된다. 또한, 게이트 전극(5 및 5A)의 상면에는 실리콘 산화막(15)이 200 응스트롬의 두께로 남아 있게 된다.

이어서, 도 11에 도시한 공정에서, 전면적으로 실리콘 산화막(16 ; 제2의 실리콘 산화막)을 형성하고, 보호 영역 PR에서의 실리콘 산화막(15)의 소정 부분에 선택적으로 레지스트 마스크 R2를 형성한다. 실리콘 산화막(16)의 두께는, 예를 들면 1000 응스트롬을 정도로 한다.

레지스트 마스크 R2는 실리콘 산화막(16)을 실리사이드 보호막으로서 남기고자 하는 부분을 덮도록 형성되고, 도 11에서는 게이트 전극(6)의 상부로부터 게이트 전극(6)의 근방의 소오스·드레인 영역(?)의 상부에 걸쳐 형성된다.

이어서, 도 12에 도시한 공정에서 건식 에칭에 의해 레지스트 마스크 R2로 덮인 부분 이외의 실리콘 산화막(16) 및 그 하부의 실리콘 산화막(15)을 제거한다. 이 과정에 의해, 게이트 전극(6)의 상부로부터 게이트 전극(6)의 근방의 소오스·드레인 영역(?)의 상부에 걸쳐서는 실리사이드 보호막(17)이 형성되고, 게이트 전극(6A) 및 게이트 산화막(5A)의 양측면에는 측벽 산화막(22)이 형성되게 된다.

다음에, 레지스트 마스크 R2를 제거한 후, 도 13에 도시한 공정에서 실리사이드 기술에 의해 소오스·드레인 영역(?)의 노출 표면상 및 게이트 전극(6A)의 노출 표면상에만 실리사이드막(12), 예를 들면 코발트 실리사이드를 자기 정합적으로 형성하는 것으로 반도체 장치(200)가 완성된다. 게다가, 실리사이드 막(12)의 형성 방법에 대해서는 제1 실시예와 마찬가지이기 때문에, 증류 설명은 생략한다.

이상의 설명에 있어서는, 도 9에 나타낸 공정에서 실리콘 산화막(15)의 상부로부터 이온 주입을 행하고, 소오스·드레인 영역(?)을 형성하는 예에 대해서 나타냈지만 소오스·드레인 주입은 도 10에 도시한 공정에서 행하여도 좋다.

즉, 건식 에칭에 의해 실리콘 산화막(15)을 소정의 두께로 되기까지 제거한 후에 암마진 실리콘 산화막(15)을 관통하도록 소오스·드레인 주입을 행하여도 좋다. 이 경우, 게이트 전극(6A) 및 게이트 산화막(5A)의 양측면에는 측벽 산화막(11A)이 형성되고, 게이트 전극(6A) 및 게이트 산화막(5A)의 산화막(5)의 양측면에는 측벽 산화막(11)이 형성되어 있기 때문에, 측벽 산화막(11 및 11A)의 하부에는 N형 불순물이 추가 주입되는 일은 없고 저도포 드레인 영역(4)가 남겨지게 된다.

게다가, 실리콘 산화막(15)은 200 응스트롬을 정도이기 때문에, 불순물로서 비소(As)를 사용하는 경우는, 주입 에너지는 40~50keV 정도이면 된다. 또한, 이와 같이 실리콘 산화막(15)이 얇은 경우에도 주입에 의한 손상이 SOI층(3)의 표면에 주어지는 것을 방지하는 효과는 가지고 있다.

B-2. 특징적 작용 효과

이상 설명한 바와 같이, 본 발명에 따른 제2 실시예에서는 저도포 드레인 영역(4)를 남기기 위한 실리콘 산화막(15)과, 실리사이드 보호막(17)은 다른 공정에서 형성되게 되지만, SOI층(3)의 표면이 에칭을 받는 횟수는 1회로 끝나기 때문에, SOI층(3)의 표면이 오버 에칭에 의해 깎이는 횟수가 저감되고, SOI층(3)의 두께가 과도하게 감소하는 것이 방지되기 때문에, 실리사이드 막(12)은 공정에서 SOI층(3)이 모두 실리사이드 막으로 될 가능성이 감소된다. 따라서, 실리사이드 막(12)가 박리하여 도전성의 먼지로 되는 것이 방지되고, 도전성의 먼지의 존재에 의해 반도체 장치의 동작 특성이 열화하는 것이 방지되며, 또한 실리사이드 막(12)의 박리에 기인하는 반도체 장치로서의 기능의 저하를 방지할 수 있다. 또한, 실리콘 산화막(15)을 통해 소오스·드레인 주입을 행함으로써 SOI층(3)의 표면에 주입에 의한 손상이 주어지는 것이 방지된다.

또한, 저도포 드레인 영역(4)을 남기기 위한 실리콘 산화막(15)과 실리사이드 보호막(17)을 다른 공정에서 형성하기 때문에, 양자의 두께를 다르게 하고자 하는 경우에 적합하다. 예를 들면, MOS 트랜지스터의 소오스·드레인 내암을 비롯한 전기 특성을 조정하기 위해 저도포 드레인 영역(4)의 평면 방향의 길이를 조정할 필요가 있지만, 그 길이를 얻기 위해서는 실리콘 산화막(15)의 두께를 실리사이드 보호막(17)에서 요구되는 두께보다도 얕게 해야만 하지만, 본원 발명은 이러한 경우에 적합하다.

게다가, 측벽 산화막(21 및 21A) 형성후에 소오스·드레인 주입을 행할 경우에는, 측벽 산화막(21 및 21A)의 두께를 조정하는 것으로 저도포 드레인 영역(4)의 평면 방향의 길이를 조정할 수 있다.

B-3. 변형예

이상 설명한 본 발명에 따른 제2 실시예에서는 도 11에 도시한 공정에서 보호 영역 PR에서의 실리콘 산화막(16)의 소정 부분에 선택적으로 레지스트 마스크 R2를 형성한 후, 도 12에 도시한 공정에서 건식 에칭에 의해 레지스트 마스크 R2로 덮인 부분 이외의 실리콘 산화막(16)을 제거하는 예를 도시하였다. 그러나, SOI층(3)의 표면의 오버 에칭을 방지한다는 관점으로부터 미하와 같은 방법을 채용할 수도 있다.

즉, 도 11에 도시한 공정에 계속하여 도 14에 도시한 바와 같이 건식 에칭에 의해 레지스트 마스크 R2로 덮인 부분 미외의 실리콘 산화막(16)을 소정의 두께로 되기까지 제거한다. 이 경우, 실리콘 산화막(16)은 실리콘 산화막(15)상에서 200 응스트롬 정도의 두께로 되도록 한다.

이어서, 도 15에 도시한 공정에서, 슬식 에칭에 의해 실리콘 산화막(16 및 15)을 완전히 제거한다. 슬식 에칭은 실리콘에 대한 선택비가 높기 때문에, SOI층(3)의 표면이 오버 에칭되는 비율이 작고, SOI층(3)의 두께가 과도하게 감소하는 것이 더욱 방지되기 때문에, 실리사이드 공정에서 SOI층(3)이 모두 실리사이드 막으로 될 가능성이 더욱 감소하게 된다.

또한, 슬식 에칭은 등방적이기 때문에, 레지스트 마스크 R2로 덮이지 않은 부분, 즉 실리사이드 보호막(17)의 단연부(171) 및 실리콘 산화막(15)의 단연부(151)가 약간 제거되게 되고, 이 단연부(171 및 151)의 표면 형상이 수직 단면 방향으로 완만하게 기울어진 형상으로 된다. 이것은 통상 영역 A의 MOS 트랜지스터에서의 측벽 산화막(22)의 표면 형상에서도 마찬가지로, 본 변형예를 적용한 경우의 특징이라 고 말할 수 있다.

또한, 이상 설명한 본 발명에 따른 제1 및 제2 실시예에서는 SOI 기판상에 MOS 트랜지스터를 형성하는 예에 대해 서면 설명하였지만, 본원 발명은 벌크 실리콘 기판상에 MOS 트랜지스터를 형성할 경우에 적용해도 된다는 것은 말할 것까지도 없다.

설명의 흐름

본 발명에 따른 반도체 장치의 제조 방법에 의하면, 실리사이드 보호막 및 제1 반도체 영역을 남겨 저도프 드레인 영역으로 하기 위한 산화막을 양자에 공통하도록 형성된 산화막에 1회의 에칭 공정을 실시하는 것으로 형성하고, 소오스 드레인 영역으로 되는 제2 반도체 영역을 산화막을 통한 미온 주입에 의해 형성하기 때문에 제조 공정을 간략화하여 제조 단가의 저감을 도모할 수 있는 것과 함께, 반도체 기판의 표면이 오버 에칭에 의해 깎이는 횟수가 저감한다. 따라서, 실리사이드 보호막 및 측벽 산화막의 단연부 균방의 반도체 기판 표면내에 존재하는 제2 반도체 영역의 두께가 과도하게 감소하는 것이 방지되기 때문에, 제2 반도체 영역의 두께의 감소에 기인하는 부적합의 발생을 방지한 반도체 장치가 얻어진다. 또한, 산화막을 통해 불순을 주입을 행함으로써 반도체 기판의 표면에 주입에 의한 손상이 주어지는 것이 방지된다.

또한 본 발명에 따른 반도체 장치의 제조 방법에 의하면, 반도체 기판 재료에 대한 선택비가 높은 슬식 에칭에 의해 두께가 얇아진 산화막을 제거하기 때문에, 반도체 기판의 표면이 오버 에칭되는 비율이 작고, 실리사이드 보호막 및 측벽 산화막의 단연부 균방의 반도체 기판 표면내에 존재하는 제2 반도체 영역의 두께가 과도하게 감소하는 것이 더욱 방지된다.

또 본 발명에 따른 반도체 장치의 제조 방법에 의하면, 제1 반도체 영역을 남겨 저도프 드레인 영역으로 하기 위한 제1 산화막과, 실리사이드 보호막과는 다른 공정에서 형성되기 되지만, 반도체 기판의 표면이 에칭을 받는 횟수는 1회로 끝나기 때문에, 반도체 기판의 표면이 오버 에칭에 의해 깎이는 횟수가 감소하고, 반도체 기판의 두께가 과도하게 감소하는 것이 방지된다. 따라서, 실리사이드 보호막 및 제1 및 제2의 측벽 산화막의 단연부 균방의 반도체 기판 표면내에 존재하는 제2 반도체 영역의 두께가 과도하게 감소하는 것이 방지되기 때문에, 제2 반도체 영역의 두께의 감소에 기인하는 부적합의 발생을 방지한 반도체 장치가 얻어진다. 또한, 제1의 산화마을 통해 불순을 주입을 행함으로써 반도체 기판의 표면에 주입에 의한 손상이 주어지는 것이 방지된다. 게다가, 제1 반도체 영역을 남겨 저도프 드레인 영역으로 하기 위한 제1 산화막과, 실리사이드 보호막을 다른 공정에서 형성하기 때문에, 양자의 두께가 다른 반도체 장치에 적합한 제조 방법을 얻을 수 있다.

(5) 청구의 범위

청구항 1. 반도체 기판상에 형성된 제1 및 제2 MOS 트랜지스터를 구비하고, 상기 제1 MOS 트랜지스터에서 실리사이드 막의 형성을 바라지 않는 부분에는 실리사이드 보호막이 형성된 반도체 장치의 제조 방법에 있어서,

- (a) 상기 반도체 기판의 주면(主面)상에 상기 제1 및 제2 MOS 트랜지스터가 형성되는 영역에, 각각 제1 및 제2 게이트 산화막과, 제1 및 제2 게이트 전극을 차례로 적층하여 형성하는 공정과,
- (b) 상기 제1 및 제2 게이트 전극을 마스크로 하여 상기 반도체 기판에 제1 도전형의 불순을 미온을 주입하고, 상기 제1 및 제2 게이트 전극의 측면 바깥쪽의 상기 반도체 기판 표면내에 자기 정합적으로 비교적 저농도인 제1 도전형의 제1 반도체 영역을 각각 형성하는 공정과,
- (c) 상기 제1 및 제2 게이트 전극 및 상기 반도체 기판의 표면을 덮도록 산화막을 형성하는 공정과,
- (d) 상기 제1 및 제2 게이트 전극과, 이 제1 및 제2 게이트 전극의 측면에 형성된 상기 산화막을 마스크로 하여, 상기 산화막의 상부로부터 제1 도전형의 불순을 미온을 주입하고, 상기 제1 반도체 영역을 포함하는 상기 반도체 기판의 표면내에 자기 정합적으로 비교적 고농도인 제1 도전형의 제2 반도체 영역을 형성하는 공정과,
- (e) 상기 제1 게이트 전극의 상부로부터 이 제1 게이트 전극의 측면 바깥쪽 근방의 상기 산화막의 상부에 걸쳐 선택적으로 레지스트 마스크를 형성하는 공정과,
- (f) 상기 레지스트 마스크로 덮이지 않은 상기 산화막을 에칭하고, 상기 레지스트 마스크의 하부의 상기 산화막을 상기 실리사이드 보호막으로서 남기며, 상기 제2 게이트 전극 및 상기 제2 게이트 산화막의 측면의 상기 산화막을 측벽 산화막으로서 남기는 공정

을 구비하는 반도체 장치의 제조 방법.

청구항 2. 제1항에 있어서, 상기 공정 (f)는,

(f-1) 상기 레지스트 마스크로 덮이지 않은 상기 산화막의 두께를 미방성 건식 에칭법에 의해 얕게 하는 공정과,

(f-2) 두께가 얕아진 상기 산화막을 습식 에칭법에 의해 제거하는 공정을 구비하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 3. 반도체 기판상에 형성된 제1 및 제2 MOS 트랜지스터를 구비하고, 상기 제1 MOS 트랜지스터에서 실리사이드막의 형성을 바라지 않는 부분에는 실리사이드 보호막이 형성된 반도체 장치의 제조 방법에 있어서,

(a) 상기 반도체 기판의 주면상의 상기 제1 및 제2 MOS 트랜지스터가 형성되는 영역에, 각각 제1 및 제2 게이트 산화막과, 제1 및 제2 게이트 전극을 차례로 적층하여 형성하는 공정과,

(b) 상기 제1 및 제2 게이트 전극을 마스크로 하여 상기 반도체 기판에 제1 도전형의 불순을 이온을 주입하고, 상기 제1 및 제2 게이트 전극의 측면 바깥쪽의 상기 반도체 기판 표면내에, 자기 정합적으로 비교적 저농도인 제1 도전형의 제1 반도체 영역을 각각 형성하는 공정과,

(c) 상기 제1 및 제2 게이트 전극 및 상기 반도체 기판의 표면을 덮도록 제1 산화막을 형성하는 공정과,

(d) 상기 제1 산화막의 두께를 미방성 건식 에칭법에 의해 얕게 하고, 상기 제1 게이트 전극 및 상기 제1 게이트 산화막의 측면에 제1의 측벽 산화막을, 상기 제2 게이트 전극 및 상기 제2 게이트 산화막의 측면에 제2의 측벽 산화막을 형성하는 공정과,

(e) 상기 공정 (d)의 전 또는 후에, 상기 제1 산화막의 상부로부터 제1 도전형의 불순을 이온을 주입하고, 상기 제1 반도체 영역을 포함하는 상기 반도체 기판 표면내에 자기 정합적으로 비교적 고농도인 제1 도전형의 제2 반도체 영역을 형성하는 공정과,

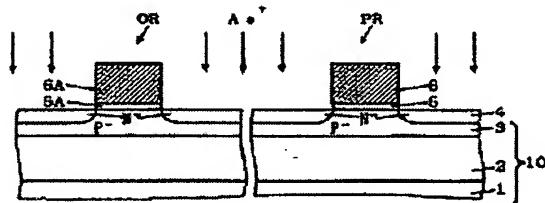
(f) 두께가 얕아진 상기 제1 산화막의 상부에 제2 산화막을 형성하는 공정과,

(g) 상기 제1 게이트 전극의 상부로부터 이 제1 게이트 전극의 측면 바깥쪽 근방의 상기 제2 산화막의 상부에 걸쳐 선택적으로 레지스트 마스크를 형성하는 공정과,

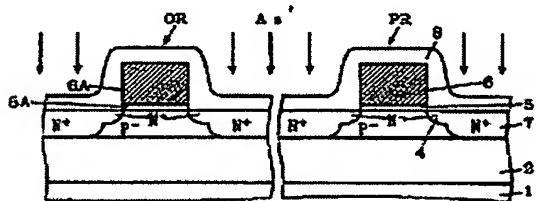
(h) 상기 레지스트 마스크에 덮이지 않은 상기 제2 산화막 및 그 하부의 두께가 얕아진 상기 제1 산화막을 에칭에 의해 제거하고, 상기 레지스트 마스크의 하부의 상기 제2 산화막을 상기 실리사이드 보호막으로 하는 공정을 포함하는 반도체 장치의 제조 방법.

도면

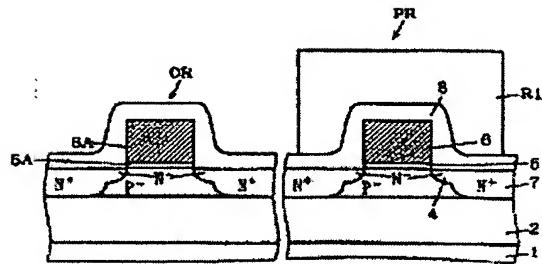
도면1



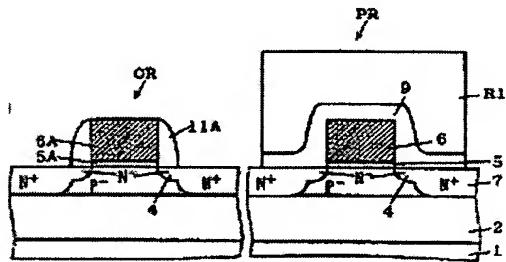
도면2



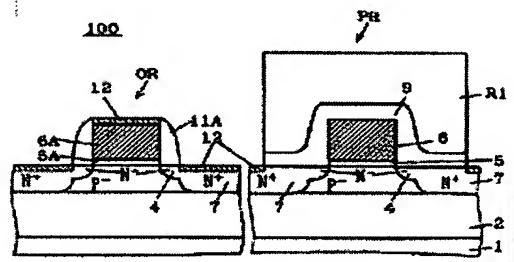
583



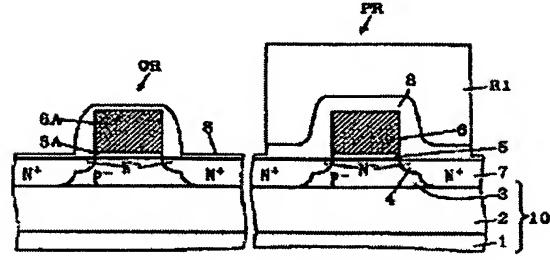
五百四



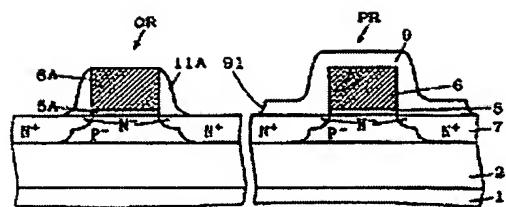
585



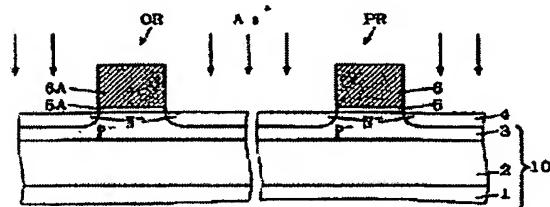
五四



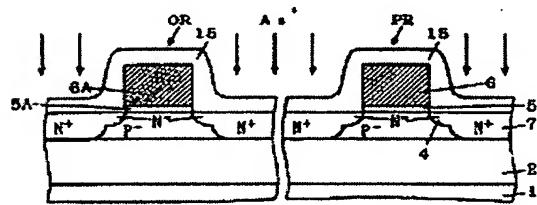
S27



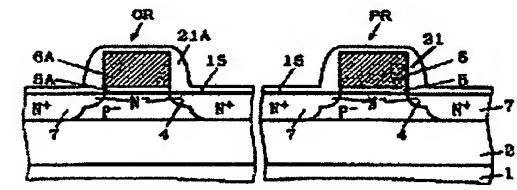
S28



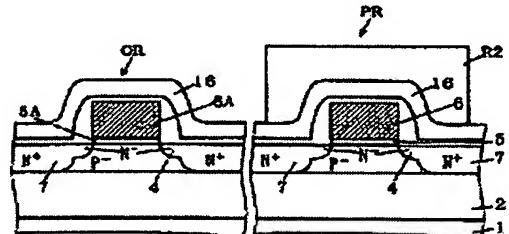
S29



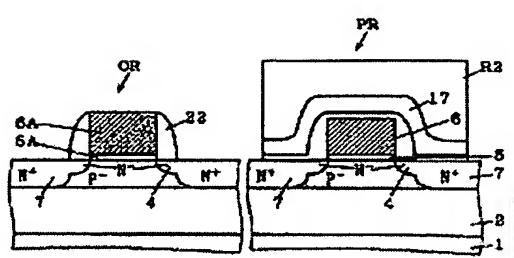
S29⑩



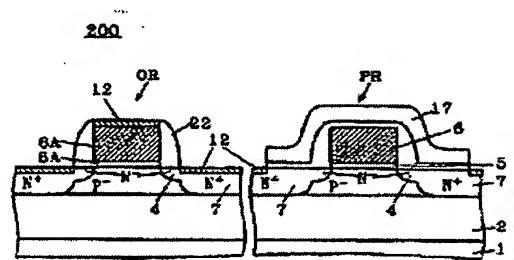
S29⑪



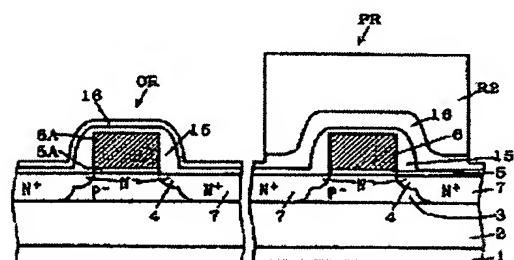
EB12



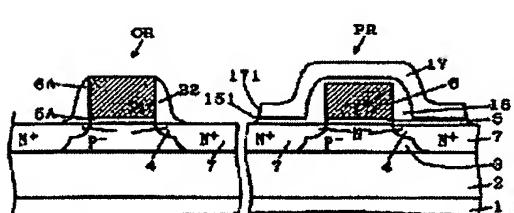
EB13



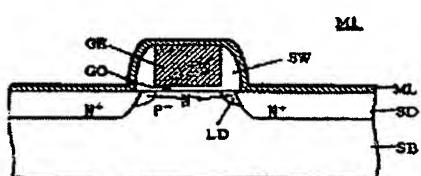
EB14



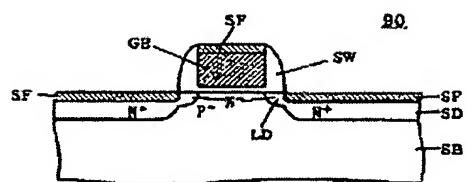
EB15



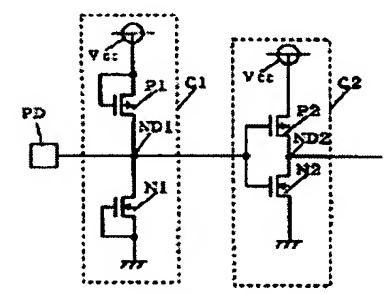
EB16



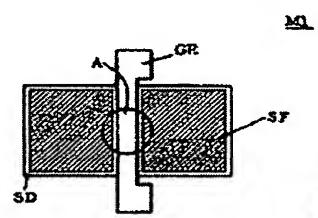
도면 1



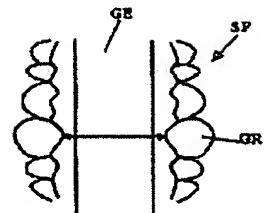
도면 2



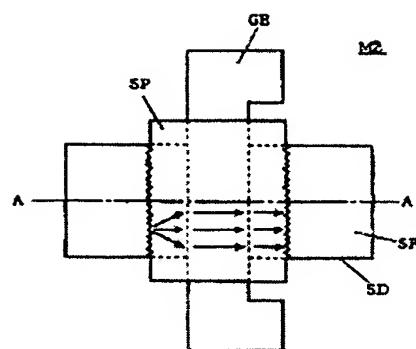
도면 3



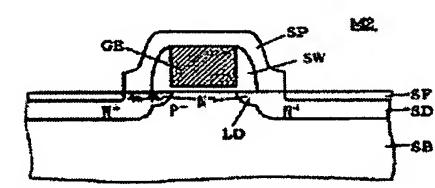
도면 4



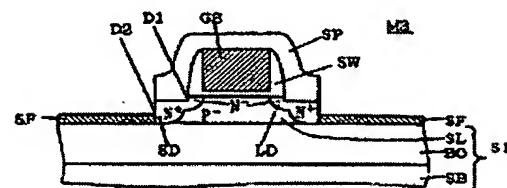
도면21



도면22



도면23



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.